

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kim et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **INTEGRATED CIRCUIT STRUCTURES INCLUDING EPITAXIAL SILICON LAYERS IN ACTIVE REGIONS AND METHODS OF FORMING SAME**

November 12, 2003

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

10-2002-0073869, filed November 26, 2002.

Respectfully submitted,

  
Robert M. Crouse  
Registration No. 44,635

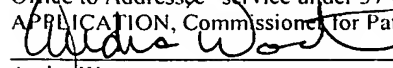
Myers Bigel Sibley & Sajovec  
PO Box 37428  
Raleigh NC 27627  
Tel (919) 854-1400  
Fax (919) 854-1401  
Customer No.: 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No.: EV 318417753 US

Date of Deposit: November 12, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0073869  
Application Number

출원 년 월 일 : 2002년 11월 26일  
Date of Application NOV 26, 2002

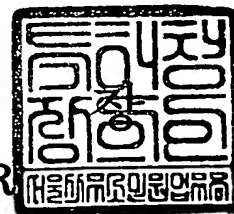
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 01 일

특 허 청

COMMISSIONER





1020020073869

출력 일자: 2003/10/9

## 【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.09.18
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0073869
【출원일자】	2002.11.26
【심사청구일자】	2002.11.26
【발명의 명칭】	누설전류를 방지하는 소자 분리 구조를 갖는 반도체 소자 및 그 제조방법
【제출원인】	
【접수번호】	1-1-2002-0390828-39
【접수일자】	2002.11.26
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	김성민
【성명의 영문표기】	KIM,SUNG MIN
【주민등록번호】	740116-1772529



【우편번호】	403-727
【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK,DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창섭
【성명의 영문표기】	LEE,CHANG SUB
【주민등록번호】	680715-1109521
【우편번호】	441-400
【주소】	경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정동
【성명의 영문표기】	CHOE,JEONG DONG
【주민등록번호】	690726-1550311
【우편번호】	431-719
【주소】	경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	이신애
【성명의 영문표기】	LEE,SHIN AE
【주민등록번호】	770809-2808414
【우편번호】	440-600



1020020073869

출력 일자: 2003/10/9

【주소】	경기도 수원시 장안구 수원우체국사서함 125호 15동 519호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성호
【성명의 영문표기】	KIM, SEONG HO
【주민등록번호】	720505-1653010
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.26
【발명의 명칭】	누설전류를 방지하는 소자 분리 구조를 갖는 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device having isolation structure of preventing leakage current and method of fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김성민
【성명의 영문표기】	KIM,SUNG MIN
【주민등록번호】	740116-1772529
【우편번호】	403-727
【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK,DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500

【주소】 경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호

【국적】 KR

【발명자】

【성명의 국문표기】 이창섭

【성명의 영문표기】 LEE, CHANG SUB

【주민등록번호】 680715-1109521

【우편번호】 441-400

【주소】 경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1202호

【국적】 KR

【발명자】

【성명의 국문표기】 최정동

【성명의 영문표기】 CHOE, JEONG DONG

【주민등록번호】 690726-1550311

【우편번호】 431-719

【주소】 경기도 안양시 동안구 달안동 셋별한양아파트 302동 905호

【국적】 KR

【발명자】

【성명의 국문표기】 이신애

【성명의 영문표기】 LEE, SIN AE

【주민등록번호】 770809-2808414

【우편번호】 440-600

【주소】 경기도 수원시 장안구 수원우체국사서함 125호 15동 519호

【국적】 KR

【발명자】

【성명의 국문표기】 김성호

【성명의 영문표기】 KIM, SUNG HO

【주민등록번호】 720505-1653010

【우편번호】 449-900

【주소】 경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호

【국적】 KR

【심사청구】 청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 6 면 6,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 496,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통



**【요약서】****【요약】**

SOI 기판을 사용하지 않으면서, 누설전류를 방지하는 소자 분리 구조를 갖는 반도체 소자 및 그 형성 방법을 제공한다. 반도체 기판 상에 적어도 한 쌍의 희생막 및 실리콘층을 차례로 형성한후, 상기 적어도 한 쌍의 희생막 및 실리콘층의 소정부분을 차례로 패터닝하여 개구부(opening)를 형성하고, 상기 개구부 안에서 선택적으로 에피택시얼막(epitaxial layer)을 성장시킨다. 소자분리막 형성을 위한 트렌치를 형성하고, 상기 희생막을 제거한다. 상기 반도체 기판을 열산화하여 트렌치 열산화막을 형성하는 동시에 상기 희생막이 제거된 영역을 따라 절연막을 형성한다. 상기 트렌치 열산화막안에 소자분리막을 형성하고 상기 실리콘층 상에서 상기 에피택시얼막 옆에 워드라인을 형성한다.

**【대표도】**

도 4

**【색인어】**

실리콘 게르마늄(SiGe), 소자 분리

## 【명세서】

## 【발명의 명칭】

누설전류를 방지하는 소자 분리 구조를 갖는 반도체 소자 및 그 제조 방법{Semiconductor device having isolation structure of preventing leakage current and method of fabricating the same}

## 【도면의 간단한 설명】

도 1은 종래의 SOI 기판의 단면도를 나타낸다.

도 2는 종래 기술에 따른 SOI 기판의 단면도를 나타낸다.

도 3은 본 발명의 일 실시예에 따른 반도체 소자를 위에서 본 평면도(lay out)를 나타낸다.

도 4는 도 3을 I-I' 라인을 따라 자른 단면도를 나타낸다.

도 5a 내지 도 5e는 도 4의 반도체 소자를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.

도 5f는 도 4의 반도체 소자를 형성하는 하나의 과정을 나타내는 공정 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 반도체 소자로서 도 3을 I-I' 라인을 따라 자른 단면도를 나타낸다.

도 7은 본 발명의 또 다른 실시예에 따른 반도체 소자를 위에서 본 평면도를 나타낸다.

도 8은 도 7을 II-II' 라인을 따라 자른 단면도를 나타낸다.

도 9는 본 발명의 또 다른 하나의 실시예에 따른 반도체 소자를 위에서 본 평면도를 나타낸다.

도 10은 도 9를 III-III' 라인을 따라 자른 단면도를 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 소자 및 그 형성 방법에 관한 것으로, 더욱 상세하게는 누설전류를 방지하는 소자 분리 구조를 갖는 반도체 소자 및 그 형성 방법에 관한 것이다.
- <13> 반도체 소자가 고집적화됨에 따라 반도체 기판에서의 누설전류 및 펀치 쓰루(punch through) 문제를 해결하는 것이 점점 중요하게 되었다. 따라서, 누설전류등을 방지하기 위하여 종래기술에 따르면 도 1에 도시된 SOI(Silicon On Insulator)형 반도체 기판을 사용한다.
- <14> 도 1을 참조하여, 종래의 SOI 기판은 명칭 그대로, 반도체 기판(1) 상에 절연막(3)과 실리콘층(5)이 차례대로 적층된 구조를 갖는다. 상기 절연막(3)은 열산화막으로 이루어지며 상기 반도체 기판(1)과 상기 실리콘층(5)은 실리콘 단결정으로 이루어진다. 상기 SOI 기판은 표면에 열산화막(3)이 형성된 제 1 실리콘 기판(1)과, 실리콘 단결정으로 이루어진 제 2 실리콘 기판(5)을 서로 붙인후 상기 제 2 실리콘 기판의 일부를 평탄화 공정으로 제거하여 형성된다. 후속으로, 상기 실리콘(5)을 패터닝하여 상기 절연막(3)과 접하는 소자 분리막을 형성하여, 이후에 형성할 트랜지스터의 동작시 발생할 수 있는 누설전류등을 차단한다. 그러나 SOI 기판은 2개의 실리콘 기판을 이용하여 형성되기에 단가가 높다. 또한 상기 절연막(3)과 이후에 형성할 상기 소자분리막으로 트랜지스터가 절연되기에 트랜지스터의 동작시 열이나 핫캐리어등이 밖으로 빠져나가지 못하고, 기판에 백바이어스(back bias)를 못거는 등의 단점이 있다.

- <15> 다른 종래기술에 따르면, 도 2에 도시된 바와 같이 상기 절연막(3)을 패터닝하여 상기 실리콘층(5)과 상기 반도체 기판(1)을 부분적으로 연결시켜주어, 트랜지스터의 동작시 열이나 핫캐리어 및 백바이어스등을 위한 전기적 통로를 만들어준다.
- <16> 도 2를 참조하면, 도 1과 같은 상태에서 상기 실리콘층(5)과 상기 절연막(3)을 순차적으로 패터닝하여 상기 반도체 기판(1)을 부분적으로 노출시키는 개구부를 형성한다. 상기 개구부 안에서 상기 노출된 반도체 기판(1)으로부터 선택적으로 에피택시얼막(epitaxial layer, 7)을 성장시켜 상기 개구부를 채운다. 그러나 도 2와 같이, 상기 에피택시얼막(7)이 성장하면서 상기 절연막(3)과 접하는 부위에서 결점(defect, D)을 유발할 수 있으며, 상기 절연막(3) 사이에 보이드(V)가 형성될 수 있다. 상기 보이드(V)가 클 경우, 상기 에피택시얼막(7)은 상기 실리콘층(5)과 상기 반도체 기판(1)과의 전기적 연결 통로의 역할을 원할히 하지 못하여 반도체 소자의 신뢰성에 문제를 유발한다. 또한 여전히 단가가 높은 SOI 기판을 사용한다는 점에서 바람직하지 않다.

**【발명이 이루고자 하는 기술적 과제】**

- <17> 따라서, 상기 문제를 해결하기 위하여, 본 발명의 기술적 과제는 SOI 기판을 사용하지 않으면서, 누설전류를 방지하는 소자 분리 구조를 갖는 반도체 소자 및 그 제조 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

- <18> 따라서, 상기 기술적 과제를 해결하기 위하여, 본 발명에 따른 반도체 소자는 SOI 기판을 사용하지 않으면서 누설전류를 방지할 수 있는 소자 분리 구조를 갖는 것을 특징으로 한다.

- <19>      좀 더 구체적으로, 상기 반도체 소자는 반도체 기판; 상기 반도체 기판 상에 차례로 적층된 적어도 한 쌍의 절연층 및 실리콘층; 상기 적어도 한 쌍의 절연층 및 실리콘층을 관통하여 상기 반도체 기판을 노출시키는 트렌치; 상기 트렌치 내벽과 바닥을 따라 형성되는 트렌치 열산화막; 상기 트렌치 열산화막 상에 형성되는 질화막 라이너; 상기 질화막 라이너 상에 위치하며 상기 트렌치를 채우는 소자분리막; 및 상기 적어도 한 쌍의 절연층과 실리콘층을 관통하며 상기 반도체 기판과 접하는 에피택시얼막을 구비한다.
- <20>      상기 반도체 소자에 있어서, 상기 실리콘층은 확장된(strained) 실리콘 단결정 구조를 갖을 수 있다. 상기 질화막 라이너는 상기 절연층 내부에 연장될 수 있다. 상기 반도체 소자는 상기 에피택시얼막의 하부와 접하며 상기 반도체 기판 내에 형성된 불순물 영역을 더 구비할 수 있다. 상기 반도체 소자에 있어서, 상기 절연층은 열산화막으로 이루어질 수 있다.
- <21>      상기 반도체 소자에서는 상기 실리콘층이 확장된(strained) 실리콘단결정 구조를 갖기에 소자의 동작속도를 빠르게 할 수 있다. 또한 상기 절연막과 상기 소자분리막이 소자를 효과적으로 고립하여 누설전류를 방지하며, 열이나 백바이어스등을 위한 통로인 에피택시얼막을 구비하여 종래의 문제점을 해결할 수 있다.
- <22>      상기 반도체 소자를 형성하는 방법은 다음과 같다. 먼저, 반도체 기판 상에 적어도 한 쌍의 희생막 및 실리콘층을 차례로 형성한다. 상기 적어도 한 쌍의 희생막 및 실리콘층의 소정 부분을 패터닝하여 상기 반도체 기판을 노출시키는 개구부(opening)를 형성한다. 상기 개구부 안에서 상기 노출된 반도체 기판으로부터 선택적으로 에피택시얼막(epitaxial layer)을 성장시켜 상기 개구부를 채운다. 상기 적어도 한 쌍의 희생막 및 실리콘층, 그리고 상기 반도체 기판의 상부를 차례로 패터닝하여 소자분리막 형성을 위한 트렌치를 형성한다. 상기 희생막을 제거한다. 상기 반도체 기판을 열산화하여 상기 트렌치의 내벽과 저면에 트렌치 열산화막을 형성

하는 동시에 상기 희생막이 제거된 영역을 따라 절연막을 형성한다. 상기 트렌치 열산화막 상에 질화막 라이너를 형성한다. 상기 질화막 라이너 상에 소자분리막을 적층하여 상기 트렌치를 채운다.

<23> 상기 방법에 있어서, 상기 절연막은 상기 희생막이 제거된 영역을 따라 콘포말하게 형성될 수 있다. 이 경우, 상기 질화막 라이너가 상기 트렌치 열산화막 상에 형성될 때, 동시에 상기 절연막의 표면 상에도 상기 질화막 라이너가 형성될 수 있다.

<24> 상기 방법에 있어서, 상기 희생막은 실리콘 게르마늄(SiGe)으로 형성될 수 있다. 상기 희생막은 수소( $H_2$ ), 질소( $N_2$ ), 산소( $O_2$ ), 및 불소 화합물( $NF_3$ ,  $CF_4$  등)을 포함하는 그룹에서 선택되는 적어도 하나의 기체의 플라즈마를 이용하여 진행될 수 있다. 다른 방법으로, 상기 희생막은 암모니아수( $NH_4OH$ ), 과산화수소( $H_2O_2$ ), 탈이온수( $H_2O$ ), 질산( $HNO_3$ ), 및 불산( $HF$ )을 포함하는 그룹에서 선택되는 적어도 하나의 용액을 이용하는 습식식각에 의해 진행될 수 있다.

<25> 상기 방법에 있어서, 상기 개구부를 형성한 후, 상기 개구부의 저면인 상기 반도체 기판 내에 불순물 영역을 더 형성할 수 있다.

<26> 상기 방법에 따르면, 우선 종래의 SOI 기판을 사용하지 않기에 단가가 저렴하다. 상기 에피택시얼막을 먼저 형성한 후, 후속으로 산화막으로 이루어지는 절연막을 형성하기에 종래의 결함(defect)이나 보이드가 발생하지 않는다. 또한, 통상의 소자분리막 형성 공정을 응용하였기에 공정이 단순하고 경제적이다.

<27> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고

당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<28> <실시예 1>

<29> 도 3은 본 발명의 일 실시예에 따른 반도체 소자를 위에서 본 평면도(lay out)를 나타낸다.

<30> 도 4는 도 3을 I-I'라인을 따라 자른 단면도를 나타낸다.

<31> 도 3 및 4를 참조하면, 반도체 기판(10)에 소자분리막( $F_{OX}$ , 28)이 위치하여 활성영역(AR)을 한정한다. 상기 활성영역(AR)에는 실리콘층(14)이 위치한다. 상기 실리콘층(14)과 상기 반도체 기판(10) 사이에 절연막(0, 24b)이 개재된다. 상기 활성영역(AR)을 가로질러 워드라인(W, 32)이 달린다. 상기 워드라인(W, 32)과 상기 실리콘층(14) 사이에 게이트 산화막(30)이 개재되며, 상기 워드라인(W, 32)을 캐핑막 패턴(34)가 덮고 있다. 상기 워드라인(W, 32) 사이에 상기 실리콘층(14) 및 상기 절연막(24b)을 관통하여 상기 반도체 기판(10)과 전기적으로 접하는 에피택시얼막(20)이 있고, 상기 에피택시얼막(20)과 상기 반도체 기판(10) 사이에 불순물 영역(18)이 존재한다. 상기 소자분리막( $F_{OX}$ , 28)과 상기 반도체 기판(10) 사이 및 상기 소자분리막(28)과 상기 실리콘층(14) 사이에 트렌치 열산화막(24a)이 위치하며, 상기 트렌치 열산화막(24a)과 상기 소자분리막(28) 사이에 질화막 라이너(26)가 있다. 상기 질화막 라이너(26)는 상기 절연막(24b) 내부에 연장된다.

- <32> 도 5a 내지 도 5e는 도 4의 반도체 소자를 형성하는 방법을 순차적으로 나타내는 공정 단면도들이다.
- <33> 도 5f는 도 4의 반도체 소자를 형성하는 하나의 과정을 나타내는 공정 단면도이다.
- <34> 도 5a를 참조하면, 반도체 기판(10) 상에 희생막(12) 및 실리콘층(14)을 차례대로 형성한다. 상기 희생막(12)은 바람직하게 실리콘게르마늄(SiGe)막으로 형성될 수 있으며, 더욱 상세하게는 실리콘 단결정으로 이루어지는 상기 반도체 기판(10) 상에 높이에 따라 게르마늄의 분율을 증가시키며 실리콘 게르마늄막을 형성함으로써 상기 희생막(12)을 완성할 수 있다. 실리콘에 비해 게르마늄이 크기때문에, 상기 게르마늄의 분율이 증가됨에 따라 상기 실리콘 게르마늄막이 격자 간격이 상기 실리콘 단결정보다 넓어질 수 있다. 상기 격자 간격이 넓어진 상기 실리콘 게르마늄막 상에 실리콘층을 성장시키면, 상기 실리콘층(14)의 격자 간격은 실리콘 단결정의 것보다 넓어진, 확장된(strained) 구조를 갖을 수 있다. 이후, 상기 실리콘층(14) 상에 트랜지스터를 형성하면, 채널 영역으로 사용되는 실리콘층이 확장된 실리콘 단결정 구조를 갖으므로 트랜지스터의 동작속도가 향상될 수 있다. 본 발명에서는, 종래와 다르게, 두개의 반도체 기판을 이용하여 형성되는 SOI 기판을 사용하지 않는다.
- <35> 도 5b를 참조하면, 상기 상기 실리콘층(14) 상에 마스크 패턴(16)을 형성한다. 상기 마스크 패턴(16)은 바람직하게 실리콘 질화막으로 형성할 수 있다. 상기 마스크 패턴(16)을 이용하여 상기 실리콘층(14) 및 상기 희생막(12)을 차례로 패터닝하여 상기 반도체 기판(10)을 노출시키는 개구부(17)를 형성한다. 이때, 상기 개구부(17)는 바람직하게는 너비가 깊이보다 크게 형성될 수 있다. 상기 마스크 패턴(16)을 이용하여 상기 개구부(17)의 바닥의 노출된 상기 반도체 기판(10)에 불순물 영역(18)을 형성한다.



- <36> 도 5c를 참조하면, 상기 개구부(17)의 노출된 상기 반도체 기판(10)으로 부터 에피택시얼막(20)을 성장시켜 상기 개구부(17)을 채운다. 상기 마스크 패턴(16) 상에 실리콘 질화막을 추가로 더 형성하여 상기 에피택시얼막(20)의 상부를 덮고, 상기 실리콘 질화막 및 상기 마스크 패턴(16)을 패터닝하여 소자분리막 형성을 위한 새로운 마스크 패턴(16')을 형성한다. 상기 마스크 패턴(16')을 이용하여, 상기 실리콘층(14), 상기 희생막(12) 및 상기 반도체 기판(10)의 상부를 일부 식각하여 트렌치(22)를 형성한다.
- <37> 도 5d를 참조하면, 상기 트렌치(22)에 의해 노출된 상기 희생막(12)을 제거하여, 상기 실리콘층(14)의 하부 표면 및 상기 에피택시얼막(20)의 일부 및 상기 반도체 기판(10)의 상부 표면을 노출시킨다. 이때, 건식 식각 방법으로는 건식식각 장비 내에서 바이어스(bias)를 걸지 않고, 수소( $H_2$ ), 산소( $O_2$ ), 질소( $N_2$ ), 및 불소화합물( $NF_3$ ,  $CF_4$ )을 포함하는 그룹에서 선택되는 적어도 하나의 가스를 플라즈마화시켜 공급하여 상기 희생막(12)을 제거할 수 있다. 습식 식각 방법으로는 암모니아수( $NH_4OH$ ), 과산화수소( $H_2O_2$ ), 탈이온수( $H_2O$ ), 질산( $HNO_3$ ), 및 불산( $HF$ )을 포함하는 그룹에서 선택되는 적어도 하나의 용액을 이용하여 상기 희생막(12)을 제거할 수 있다.
- <38> 도 5e 및 도 5f를 참조하면, 상기 희생막(12)이 제거된 상기 반도체 기판(10)을 열산화하여 상기 트렌치(22)의 내벽 및 저면에 트렌치 열산화막(24a)을 형성하는 동시에, 상기 희생막(12)이 제거된 부분에 열산화막으로 이루어지는 절연막(24b)을 형성한다. 이때, 상기 열산화 공정을 진행하는 정도에 따라 도 5f와 같이 상기 희생막이 있던 영역을 절연막(24b)으로 채울 수 있다. 상기 반도체 기판(10)의 전면상에 콘포말하게 질화막 라이너(26)을 형성한다. 이때, 도 5e와 같이, 상기 절연막(24b)이 얇게 형성되어 갭이 존재할 경우, 상기 질화막 라이너(26)가 상기 갭을 채우며 상기 절연막(24b) 사이에 개재될 수 있다.

- <39> 후속 공정으로, 상기 마스크 패턴(16')을 제거하고, 도 4와 같이, 상기 실리콘층(14) 상에 게이트 산화막(30) 및 워드라인(32)으로 이루어지는 게이트 패턴을 형성하고, 상기 게이트 패턴의 상부와 측벽을 덮는 캐핑막 패턴(34)을 형성한다.
- <40> 도시하지는 않았지만, 상기 캐핑막 패턴(34)을 이온주입 마스크로 이용하여 불순물을 주입하여, 상기 실리콘층(14) 및 상기 에피택시얼막(20)에 소오스/드레인 영역을 형성한다.
- <41> 상기 구조와 방법에 따르면, 우선 종래의 SOI 기판을 사용하지 않기에 단가가 저렴하다. 일반적으로 SOI 기판에 형성된 반도체 소자처럼, 상기 소오스/드레인 영역이 상기 절연막(24b)과 접하므로, 커패시턴스가 낮아 소자의 동작속도가 빠르다. 또한 상기 실리콘층(14)이 확장된(strained) 실리콘단결정 구조를 갖기에 소자의 동작속도가 빨라질 수 있다. 상기 절연막(24b)과 상기 소자분리막이 소자를 효과적으로 고립하여 누설전류를 방지하며, 열이나 백바이어스등을 위한 통로를 구비하여 종래의 문제점을 해결할 수 있다. 상기 에피택시얼막(20)을 먼저 형성하고, 그 다음 산화막을 형성하기에 종래의 결함(defect)이나 보이드가 발생하지 않는다. 또한, 통상적인 소자분리막 형성 공정을 응용하였기에 공정이 단순하고 경제적이다.
- <42> <실시예 2>
- <43> 도 6은 본 발명의 다른 실시예에 따른 반도체 소자로서 도 3을 I-I'라인을 따라 자른 단면도를 나타낸다.
- <44> 도 6의 반도체 소자는 도 3에 비해 실리콘층(14)과 절연막(24b)을 한 층씩 더 구비한다. 도 6의 반도체 소자는 반도체 기판(10) 상에 희생막(12) 및 실리콘막(14)을 반복적으로 2회 적층한 후, 실시예 1 과 동일한 순서에 따라 형성할 수 있다. 상기 구조와 방법에 따르면, 절연막 층을 이중으로 형성하여 누설전류를 확실히 차단하며, 소자의 속도를 향상시킬 수 있다.

## &lt;45&gt; &lt;실시예 3&gt;

<46> 도 7은 본 발명의 또 다른 실시예에 따른 반도체 소자를 위에서 본 평면도를 나타낸다.

<47> 도 8은 도 7을 I-I' 라인을 따라 자른 단면도를 나타낸다.

<48> 본 발명의 변형예로, 요구되는 반도체 소자의 특성에 따라 도 7 및 도 8과 같이 반도체 소자를 형성할 수 있다. 도 7 및 도 8을 참조하면, 상기 소자분리막( $F_{ox}$ , 28)과 상기 워드라인(W, 32) 사이에 에피택시얼막(E, 20)이 위치한다. 절연막(24b)은 상기 실리콘층(14)과 상기 반도체 기판(10) 사이에 위치하며 상기 워드라인(W, 32)의 앞쪽과 뒤쪽에서 상기 트렌치 열산화막(24a)과 연결되어 있다. 본 실시예에 따른 반도체 소자를 형성하는 방법은 실시예 1과 동일한 순서를 갖으나 도 5a에서 희생막(12) 및 실리콘층(14)의 패터닝하는 영역을 달리하여 형성할 수 있다.

## &lt;49&gt; &lt;실시예 4&gt;

<50> 도 9는 본 발명의 또 다른 하나의 실시예에 따른 반도체 소자를 위에서 본 평면도를 나타낸다.

<51> 도 10은 도 9를 I-I' 라인을 따라 자른 단면도를 나타낸다.

<52> 도 9 및 도 10을 참조하면, 워드라인(W, 32)의 양측으로 에피택시얼막(E, 20)이 위치한다. 절연막(24b)은 상기 실리콘층(14)과 상기 반도체 기판(10) 사이에 위치하며 각각의 상기 워드라인(W, 32)을 따라 그 하부에서 상기 트렌치 열산화막(24a)과 연결되어 있다. 본 실시예에 따른 반도체 소자를 형성하는 방법은 실시예 1과 동일한 순서를 갖으나 도 5a에서 희생막(12) 및 실리콘층(14)의 패터닝하는 영역을 달리하여 형성할 수 있다.

<53> 실시예 2 내지 4의 반도체 소자에 있어서 모두 절연막(24b) 내부에 질화막 라이너(26)가 개재될 수 있다.

**【발명의 효과】**

<54> 따라서, 본 발명에 따른 반도체 소자 및 그 제조 방법에 따르면, 우선 종래의 SOI 기판을 사용하지 않기에 단가가 저렴하다. 일반적으로 SOI 기판에 형성된 반도체 소자처럼, 소오스/드레인 영역이 절연막과 접하므로, 커패시턴스가 낮아 소자의 동작속도가 빠르다. 게이트 패턴 하부의 실리콘층이 확장된(strained) 실리콘단결정 구조를 갖기에 소자의 동작속도를 빠르게 할 수 있다. 상기 절연막과 상기 소자분리막이 소자를 효과적으로 고립하여 누설전류를 방지하며, 열이나 백바이어스등을 위한 통로인 에피택시얼막을 구비하여 종래의 문제점을 해결할 수 있다. 상기 에피택시얼막을 먼저 형성한 후, 후속으로 산화막으로 이루어지는 절연막을 형성하기에 종래의 결함(defect)이나 보이드가 발생하지 않는다. 또한, 통상의 소자분리막 형성 공정을 응용하였기에 공정이 단순하고 경제적이다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체 기판 상에 차례로 적층된 적어도 한 쌍의 절연층 및 실리콘층;

상기 적어도 한 쌍의 절연층 및 실리콘층을 관통하여 상기 반도체 기판을 노출시키는 트렌치;

상기 트렌치 내벽과 바닥을 따라 형성되는 트렌치 열산화막;

상기 트렌치 열산화막 상에 형성된 질화막 라이너;

상기 질화막 라이너 상에 위치하며 상기 트렌치를 채우는 소자분리막; 및

상기 적어도 한 쌍의 절연층과 실리콘층을 관통하며 상기 반도체 기판과 접하는 에피택시얼막을 구비하는 반도체 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 질화막 라이너는 상기 절연층 내부에 연장되는 것을 특징으로 하는 반도체 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 에피택시얼막의 하부와 접하며 상기 반도체 기판 내에 형성된 불순물 영역을 더 구비하는 반도체 소자.

## 【청구항 4】

제 1 항에 있어서,

상기 절연층은 열산화막으로 이루어지는 것을 특징으로 하는 반도체 소자.

## 【청구항 5】

제 1 항에 있어서,

상기 실리콘층은 확장된(strained) 실리콘 단결정 구조를 갖는 것을 특징으로 하는 반도체 소자.

## 【청구항 6】

반도체 기판 상에 적어도 한 쌍의 희생막 및 실리콘층을 차례로 형성하는 단계;

상기 적어도 한 쌍의 희생막 및 실리콘층의 소정부분을 차례로 패터닝하여 상기 반도체 기판을 노출시키는 개구부(opening)를 형성하는 단계;

상기 개구부 안에서 상기 노출된 반도체 기판으로부터 선택적으로 에피택시얼막(epitaxial layer)을 성장시키어 상기 개구부를 채우는 단계;

상기 적어도 한 쌍의 희생막과 실리콘층, 및 상기 반도체 기판의 상부를 차례로 패터닝하여 소자분리막 형성을 위한 트렌치를 형성하는 단계;

상기 희생막을 제거하는 단계;

상기 반도체 기판을 열산화하여 상기 트렌치의 내벽과 저면에 트렌치 열산화막을 형성하는 동시에 상기 희생막이 제거된 영역을 따라 절연막을 형성하는 단계;

상기 트렌치 열산화막 상에 질화막 라이너를 형성하는 단계; 및

상기 질화막 라이너 상에 소자분리막을 적층하여 상기 트렌치를 채우는 단계를 구비하는 반도체 소자의 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 절연막은 희생막이 제거된 영역을 따라 콘포말하게 형성되며,

상기 질화막 라이너가 상기 트렌치 열산화막 상에 형성될 때, 동시에 상기 절연막의 표면 상에도 상기 질화막 라이너가 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 6 항에 있어서,

상기 희생막은 실리콘 게르마늄(SiGe)으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 6 항에 있어서,

상기 희생막을 제거하는 단계는 수소( $H_2$ ), 질소( $N_2$ ), 산소( $O_2$ ), 및 불소 화합물( $NF_3$ ,  $CF_4$ )을 포함하는 그룹에서 선택되는 적어도 하나의 기체의 플라즈마를 이용하여 진행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

제 6 항에 있어서,

상기 희생막을 제거하는 단계는 암모니아수( $\text{NH}_4\text{OH}$ ), 과산화수소( $\text{H}_2\text{O}_2$ ), 탈이온수( $\text{H}_2\text{O}$ ), 질산( $\text{HNO}_3$ ), 및 불산( $\text{HF}$ )을 포함하는 그룹에서 선택되는 적어도 하나의 용액을 이용하는 습식 식각에 의해 진행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

제 6 항에 있어서,

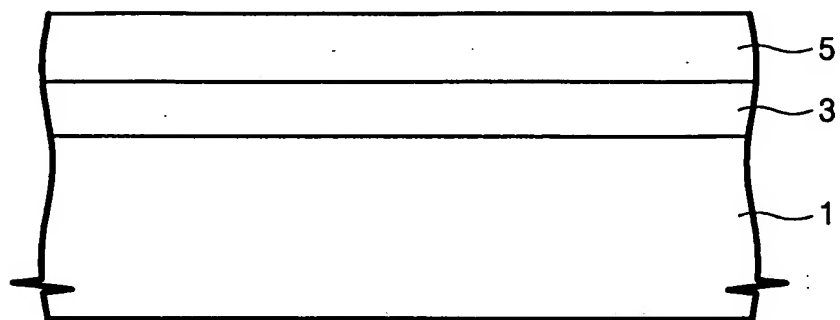
상기 개구부를 형성한 후, 상기 개구부의 저면인 상기 반도체 기판 내에 불순물 영역을 형성하는 단계를 더 구비하는 반도체 소자의 제조 방법.



【도면】

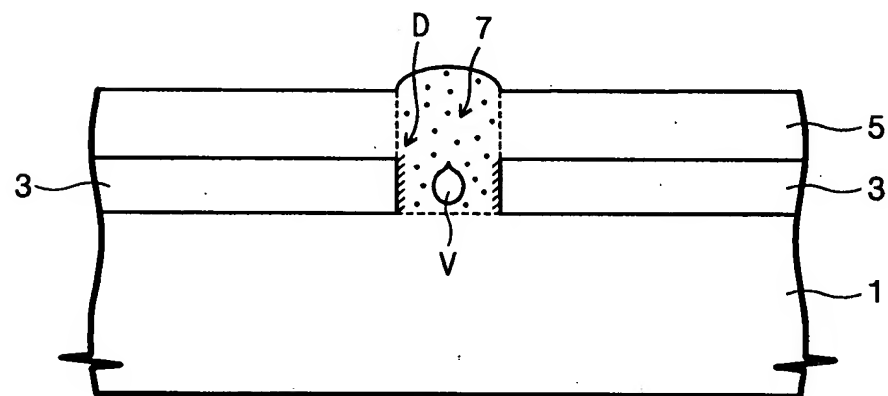
【도 1】

(종래 기술)

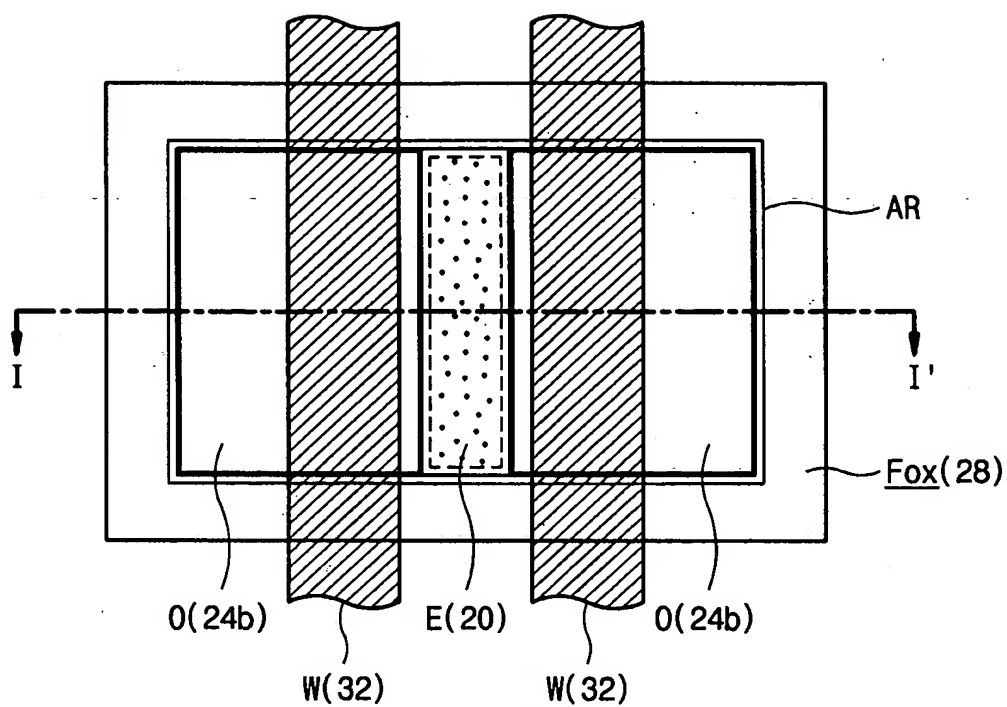


【도 2】

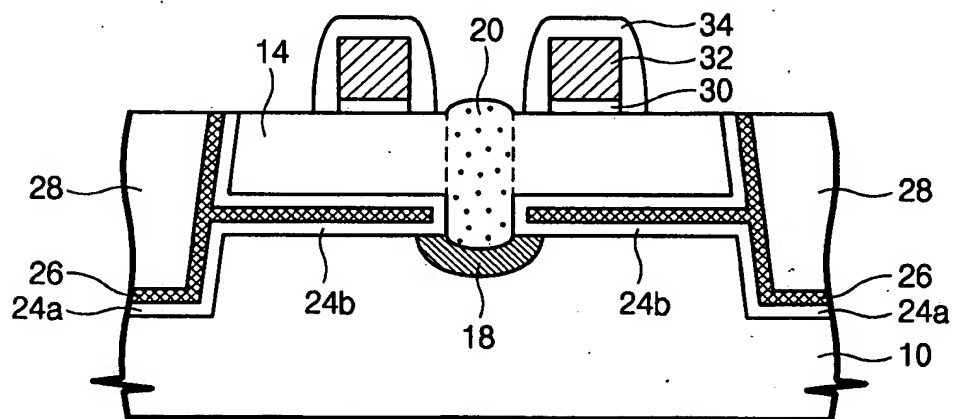
(종래 기술)



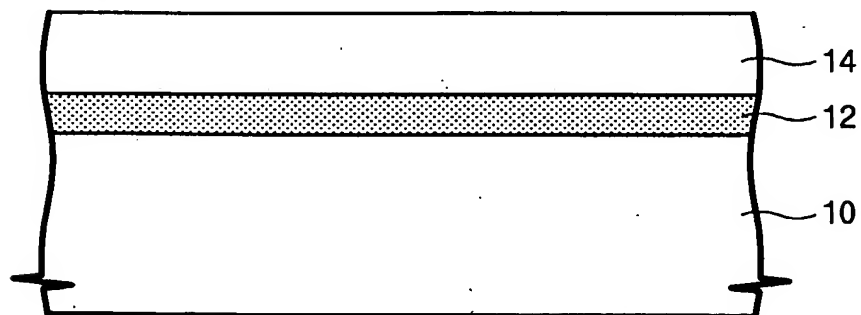
【도 3】



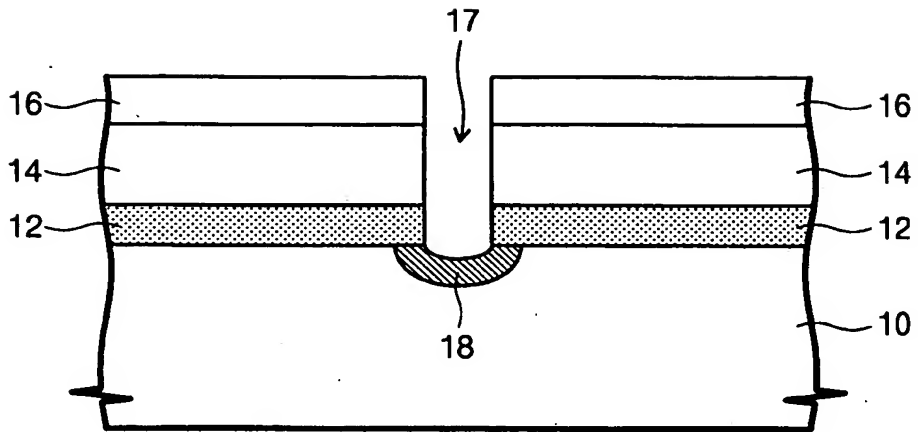
【도 4】



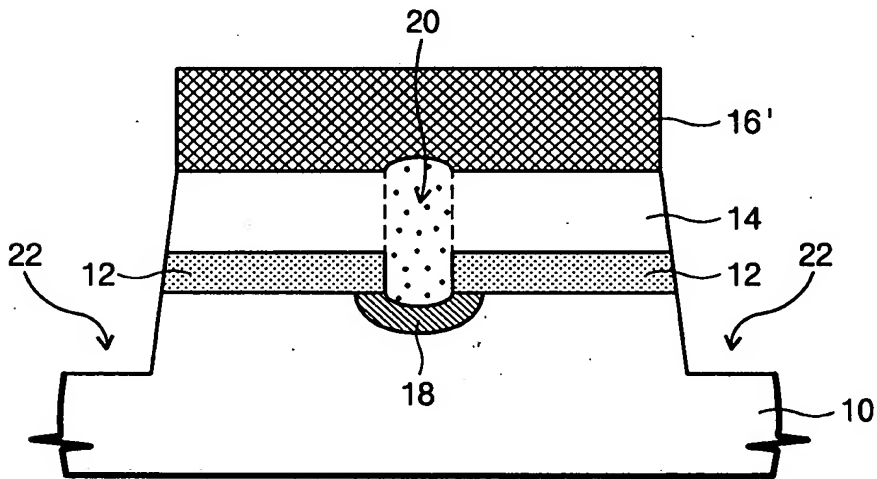
【도 5a】



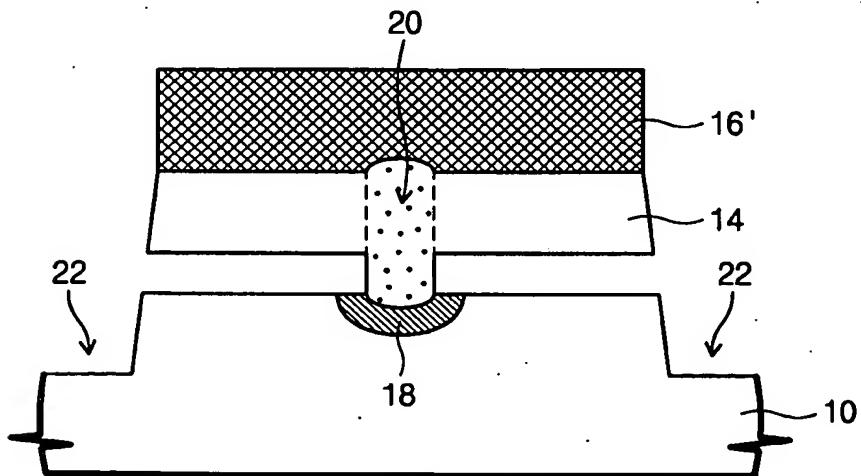
【도 5b】



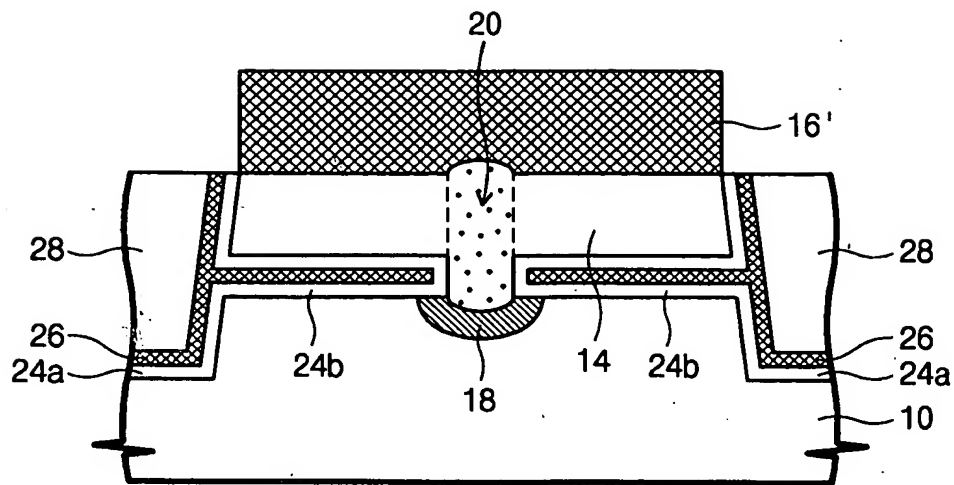
【도 5c】



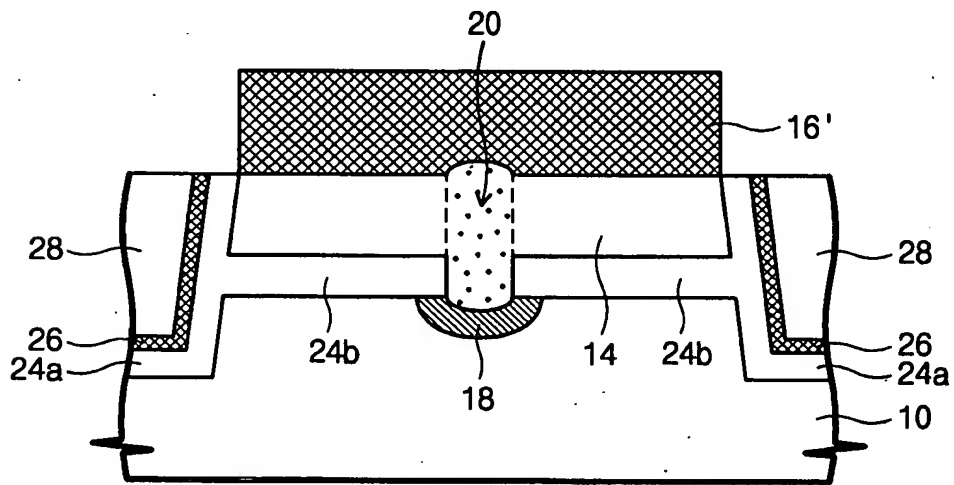
【도 5d】



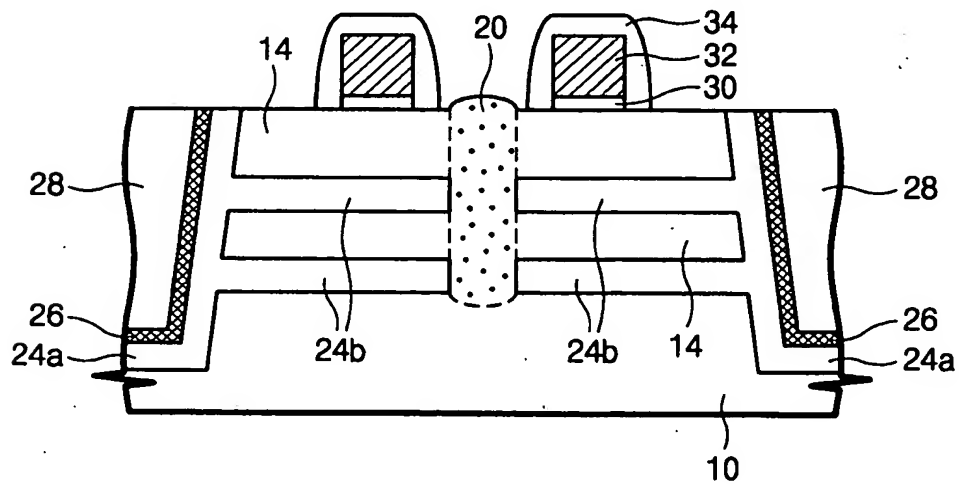
【도 5e】



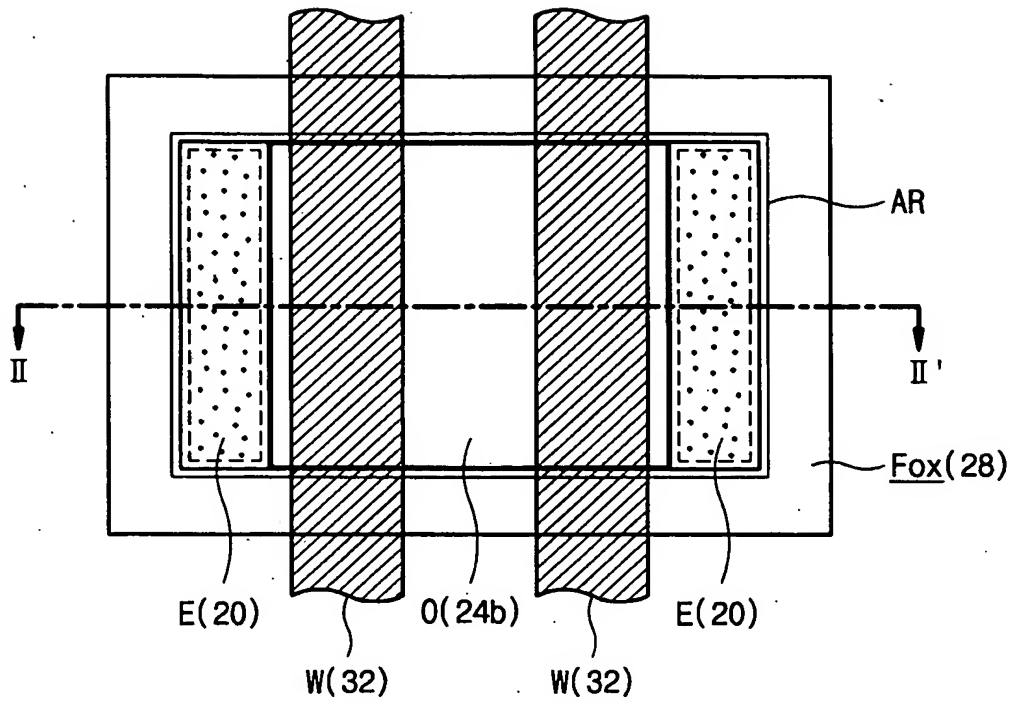
【도 5f】



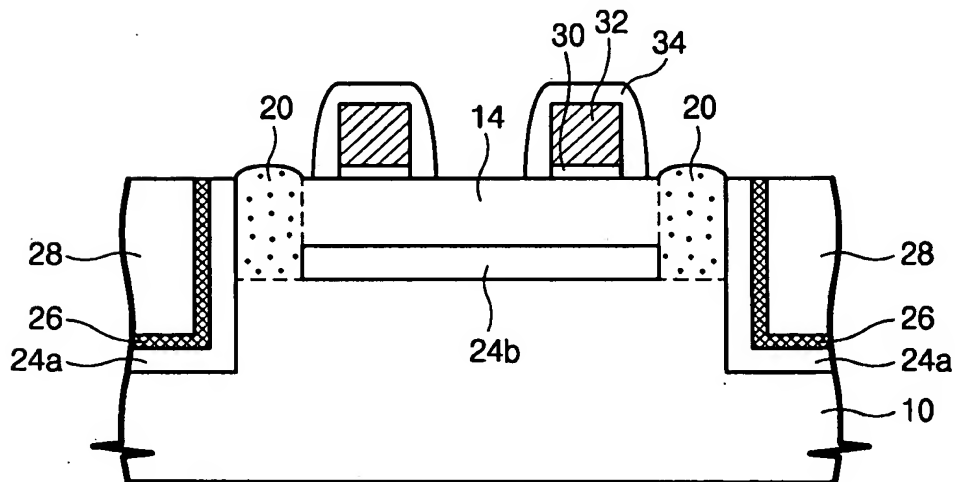
【도 6】



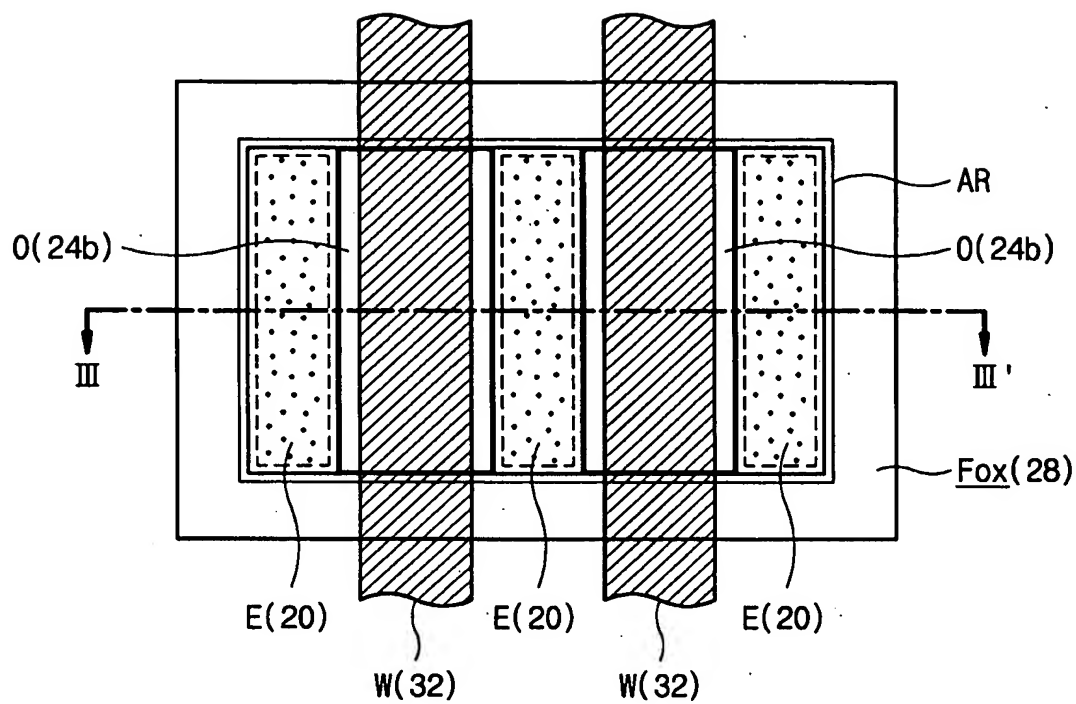
【도 7】



【도 8】



【도 9】



【도 10】

